

F-03ED0161

DIELECTRIC MEMORY DEVICE

Patent Number: JP2000269444
Publication date: 2000-09-29
Inventor(s): GESHI TATSURO; MATSUMOTO SHOICHIRO; TAKEDA YASUHIRO
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent: ☐ JP2000269444
Application Number: JP19990070421 19990316
Priority Number (s):
IPC Classification: H01L27/10; G11C11/22; G11C14/00; H01L27/108; H01L21/8242; H01L21/8247; H01L29/788; H01L29/792
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a dielectric memory device capable of preventing generation of data disturbance and reverse bias retention.

SOLUTION: A ferroelectric memory cell 16 is formed on a silicon-on-insulator(SOI) substrate and has a structure where a second MOSFET 13, a ferroelectric memory element 9 and a third MOSFET 15 are connected in series. Respective source/drain regions 2-5 of a first MOSFET 11, the second MOSFET 13 and the third MOSFET 15 of the ferroelectric memory element 9 are formed on the same P-type single-crystal silicon layer 1c. A P-type region 7 as a channel region of the first MOSFET 11 is electrically isolated from P-type regions 6, 8 as the respective channel regions of the second and third MOSFETs 13, 15 by source/drain regions 3, 4 of both sides of the P-type region 7.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-269444
(P2000-269444A)
(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int. Cl. ⁷	識別記号	F I	チーフ・イ (参考)
H01L 27/10	451	H01L 27/10	451 5B024
G11C 11/22		G11C 11/22	5F001
	14/00		352A 5F083
H01L 27/108		H01L 27/10	651
21/8242		28/78	371

審査請求 未請求 請求項の範囲 9 OL (全 10 頁) 最終頁に続く

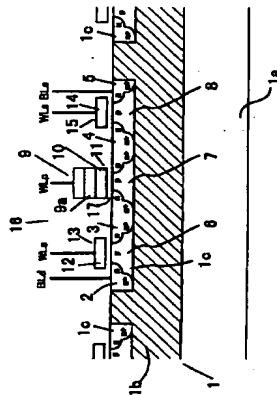
(21) 出願番号	特願平11-70421	(71) 出願人	000001889 三井電機株式会社 大阪府守口市京阪本通2丁目5番5号 下町 屋敷
(22) 出願日	平成11年3月16日 (1999.3.16)	(72) 発明者	松本 昭一郎 大阪府守口市京阪本通2丁目5番5号 三 井電機株式会社内
		(72) 発明者	大坂府守口市京阪本通2丁目5番5号 三 井電機株式会社内
		(74) 代理人	100111383 井理士 芝野 正雄

(54) 発明の名称 誘電体メモリ装置

(57) 要約

【課題】 データスタースタブの問題及び逆バイアスリテンションの問題の少なくとも一方を確実に回避することのできる誘電体メモリ装置を提供すること。

【解決手段】 誘電体メモリセル16は、SOI基板の上に形成され、第2MOSFET13と誘電体メモリ素子9と第3MOSFET15とが直列接続された構造をとる。誘電体メモリ素子9の第1MOSFET11と第2及び第3MOSFET13、15との各ソース・ドレイン領域2~5は、同一のp型単結晶シリコン層1cに形成され、第1MOSFET11のチャネル領域としてのp型領域7が、その両側のソース・ドレイン領域3、4によって、第2及び第3MOSFET13、15の各チャネル領域としてのp型領域6、8と電気的に分離されている。



【特許請求の範囲】

【請求項1】 第1電界効果トランジスタのゲート部分に誘電体キャパシタが設けられた誘電体メモリ素子と、前記第1電界効果トランジスタの一方のソース・ドレイン部に、それぞれ直列接続された選択トランジスタとからなるメモリセルを具備したことを特徴とする誘電体メモリ装置。

【請求項2】 第1電界効果トランジスタのゲート部分に誘電体キャパシタが設けられた誘電体メモリ素子と、前記第1電界効果トランジスタの一方のソース・ドレイン部に、自身の一方のソース・ドレイン部が接続された第2電界効果トランジスタと、前記第1電界効果トランジスタの他方のソース・ドレイン部に、自身の一方のソース・ドレイン部が接続された第3電界効果トランジスタとからなるメモリセルを備える。

前記第1電界効果トランジスタのチャネル部が、前記第2及び第3電界効果トランジスタのチャネル部と電気的に分離されていることを特徴とした誘電体メモリ装置。

【請求項3】 第1電界効果トランジスタのゲート部分に誘電体キャパシタが設けられた誘電体メモリ素子と、前記第1電界効果トランジスタの一方のソース・ドレイン部に、自身の一方のソース・ドレイン部が接続された第2電界効果トランジスタと、前記第1電界効果トランジスタの他方のソース・ドレイン部に、自身の一方のソース・ドレイン部が接続された第3電界効果トランジスタとからなるメモリセルを備える。

前記第1乃至第3電界効果トランジスタの各ソース・ドレイン部は、同一の半導体層に形成され、前記第1電界効果トランジスタのチャネル部が、その両側のソース・ドレイン部によって、前記第2及び第3電界効果トランジスタのチャネル部と電気的に分離されていることを特徴とした誘電体メモリ装置。

【請求項4】 前記第1電界効果トランジスタの一方のソース・ドレイン部と前記第2電界効果トランジスタの一方のソース・ドレイン部とを共通の不純物領域で構成し、前記第1電界効果トランジスタの他方のソース・ドレイン部とを共通の不純物領域で構成したことを特徴とする請求項2又は3に記載の誘電体メモリ装置。

【請求項5】 前記半導体層は、絶縁層上に形成されていることを特徴とした請求項3に記載の誘電体メモリ装置。

【請求項6】 前記誘電体キャパシタの電圧を制御する第1制御線と、前記第2及び第3電界効果トランジスタのゲート電圧を制御する第2制御線と、前記第2電界効果トランジスタの他方のソース・ドレイン部の電圧を制御する第3制御線と、前記第3電界効果トランジスタの他方のソース・ドレイン部の電圧を制御する第4制御線とを具備したことを特徴とする請求項2乃至5のいずれか1項に記載の誘電体メモリ装置。

【請求項7】 前記第1及び第2制御線に、前記メモリセルが複数接続され、前記第3及び第4制御線は、各メモリセル毎に独立して設けられていることを特徴とした請求項6に記載の誘電体メモリ装置。

【請求項8】 前記半導体層は絶縁層上に複数設けられ、この半導体層毎に前記各メモリセルが設けられていることを特徴とした請求項7に記載の誘電体メモリ装置。

【請求項9】 前記第1制御線が0Vである間、前記第2及び第3電界効果トランジスタがOFF状態に保持されるよう構成したことを特徴とする請求項6乃至8のいずれか1項に記載の誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、誘電体メモリ装置に関し、特に、誘電体として誘電体を用いたものに関する。

【0002】

【従来の技術】 電界効果トランジスタ (FET) のゲート部分に誘電体層が設けられるキャパシタが設けられたメモリは、非破壊読み出しが可能で不揮発性メモリとして知られている。このような誘電体メモリは、MFI (金属・誘電体・半導体) 構造、MFI S (金属・誘電体・絶縁体・半導体) 構造、MFI S S (金属・誘電体・金属・絶縁体・半導体) 構造などが提案されている。

【0003】 図4は従来のMFI S構造の誘電体メモリセル51の一例を示す模式的断面図である。

【0004】 図4において、p型シリコン基板51の表面に、所定間隔を隔ててn⁺層からなるソース・ドレイン領域52、53が形成されている。ソース・ドレイン領域52、53間のシリコン基板51の領域がチャネル領域54となる。チャネル領域54上には、ゲート酸化膜55、浮遊ゲート電極56、誘電体層57及び制御ゲート電極58が順に形成されている。

【0005】 ここで、図4の誘電体メモリの動作原理について説明する。

【0006】 制御ゲート電極58に誘電体層57を分極反転させるために十分な正電圧を印加し、再び制御ゲート電極58の電圧を0とする。それにより、誘電体層57の制御ゲート電極58との界面が負に帯電し、浮遊ゲート電極56との界面が正に帯電する。

【0007】 この場合、浮遊ゲート電極56の誘電体層57との界面が負に帯電し、ゲート酸化膜55との界面が正に帯電し、ソース領域52とドレイン領域53との間のチャネル領域54に反転層が形成される。その結果、制御ゲート電極58の電圧が0にもかかわらず、FETはオン状態となる。

【0008】 逆に、制御ゲート電極58に誘電体層57を分極反転させるために十分な負電圧を印加し、再

び制御ゲート電極58の電圧を0にする。それにより、強誘電体薄膜57の制御ゲート電極58との界面が正に帯電し、浮遊ゲート電極56との界面が負に帯電する。【0009】この場合、浮遊ゲート電極56の強誘電体薄膜57との界面が正に帯電し、ゲート酸化膜55との界面が負に帯電する。その結果、ソース領域52とドレイン領域53との間のチャネル領域54に反転層が形成されず、FETはオフ状態となる。

【0010】このように、強誘電体薄膜57が十分に反転反転している、制御ゲート電極58に印加する電圧を0にした後も、FETを選択的にオン状態またはオフ状態にすることができ、そのため、ソース・ドレイン間の電流を検出することにより強誘電体メモリに記憶されるデータ“1”及び“0”を判別することが可能となる。

【0011】このような強誘電体メモリにあっては、近年、デバイスの微細化・大容量化が進み、その電源電圧の低電圧化が進むに従って、強誘電体の厚みや材料等がばらつきを無視することができなくなり、このばらつきに起因して書き込み動作時に、選択メモリセルと共通のワード線に接続されている非選択のメモリセルのデータを検出してしまおうといういわゆるデータデスタビリティ現象が顕著化されている。

【0012】そこで、このようなデータデスタビリティ現象を回避するものとして、共通ワード線に接続されている各メモリセルをそれぞれ独立したビット線とソース線とで制御するものにおいて、強誘電体メモリセルのモリトランジスタの下側電極とビット線との間に、ゲート電圧に応じて下部電極とビット線とを接続する書き込みトランジスタを設けることが、特開平8-235872号公報に記載されている。

【0013】【発明が解決しようとする課題】従来例にあっては、強誘電体メモリセルのモリトランジスタの下側電極とビット線との間には書き込みトランジスタが存在するが、強誘電体メモリセルのモリトランジスタの直上にはビット線と、ソースはソース線にそれぞれ直線接続されているために、読み出し時において、ビット線とソース線との間に電位差を与えた場合に、選択メモリセルと共通のビット線及びソース線に接続されている非選択のメモリセルに電流が流れてしまうことがあり、データデスタビリティの問題を完全に回避することができない問題がある。【0014】また、いわゆる逆バイアスリテンションの問題も生じる。以下に、逆バイアスリテンションについて簡単に説明する。

【0015】MFMIS型の強誘電体メモリは、図5のようFETのゲート絶縁膜によるキャパシタ部分60と強誘電体薄膜によるキャパシタ部分61との直列回路で電的に接続される。そして、通常、MFMIS型の強誘電体メモリはMOSトランジスタ部分は、基板上に直

接形成されるため、ビット線、ソース線及び基板の電位が0Vに設定されたとき、ゲート絶縁膜によるキャパシタ部分60の基板側は0V（接地電位）となる。

【0016】従って、電流遮断時等、回路への電圧供給が行われなるときや、書き込み時において、強誘電体薄膜によるキャパシタ部分61に、強誘電体薄膜を分極反転させるために十分な正電圧を印加し、再び電圧を0としたときなどには、図5の回路は、図6に示すように並列回路となり、強誘電体薄膜によるキャパシタ部分61に対し、 $V_1 = V - V_1$ となる逆バイアスが発生する。このような逆バイアスは、強誘電体薄膜によるキャパシタ部分61の分極を打ち消す方向に作用し、分極量が時間の経過と共に減少し、ついには分極を示さなくなりデータが変化してしまう、このような問題を逆バイアスリテンションという。

【0017】本発明の第1の目的は、データデスタビリティの発生を防止することのできる強誘電体メモリ装置を提供することにある。

【0018】また、本発明の第2の目的は、逆バイアスリテンションの発生を防止することのできる強誘電体メモリ装置を提供することにある。

【0019】

【課題を解決するための手段】第1の発明の強誘電体メモリ装置は、第1電界効果トランジスタのゲート部分に誘電体キャパシタが設けられた強誘電体メモリ素子と、前記第1電界効果トランジスタの一方のソース・ドレイン部に、自身を一方のソース・ドレイン部と接続された選択トランジスタとからなるメモリセルを具備したことをその要旨とする。

【0020】これにより、強誘電体メモリ素子の各ソース・ドレイン部への電圧印加、各選択トランジスタで完全に制御できる。

【0021】第2の発明の強誘電体メモリ装置は、第1電界効果トランジスタのゲート部分に誘電体キャパシタが設けられた誘電体メモリ素子と、前記第1電界効果トランジスタの一方のソース・ドレイン部に、自身の一方のソース・ドレイン部と接続された第2電界効果トランジスタと、前記第1電界効果トランジスタの一方のソース・ドレイン部に、自身の一方のソース・ドレイン部と接続された第3電界効果トランジスタとからなるメモリセルを備え、前記第1電界効果トランジスタのチャネル部が、前記第2及び第3電界効果トランジスタのチャネル部と電気的に接続されていることをその要旨とする。

【0022】これにより、第1の発明の作用に加え、第2及び第3電界効果トランジスタがOFF状態である限り、第2及び第3電界効果トランジスタのそれぞれの他のソース・ドレイン部の電圧が第1電界効果トランジスタに、チャネル部領域を伝って伝達されることはな

設けられた誘電体メモリ素子と、前記第1電界効果トランジスタの一方のソース・ドレイン部に、自身の一方のソース・ドレイン部が接続された第2電界効果トランジスタと、前記第1電界効果トランジスタの他方のソース・ドレイン部に、自身の一方のソース・ドレイン部が接続された第3電界効果トランジスタとからなるメモリセルを備え、前記第1乃至第3電界効果トランジスタの各ソース・ドレイン部は、同一の半導体層に形成され、前記第1電界効果トランジスタのチャネル部が、その両側のソース・ドレイン部によって、前記第2及び第3電界効果トランジスタのチャネル部と電気的に分離されていることをその要旨とする。

【0024】これにより、第2の発明の作用に加え、前記第1乃至第3電界効果トランジスタの各ソース・ドレイン部が、同一の半導体層に形成されているから、メモリセル毎に独立した電圧制御を行うことができる。

【0025】尚、第2又は第3の発明において、前記第1電界効果トランジスタの一方のソース・ドレイン部と前記第2電界効果トランジスタの一方のソース・ドレイン部とを共通の不純物領域で構成し、前記第1電界効果トランジスタの他方のソース・ドレイン部と前記第3電界効果トランジスタの一方のソース・ドレイン部とを共通の不純物領域で構成することが望ましい。

【0026】また、前記半導体層が、絶縁層上に形成されていることが望ましい。これにより、前記第1電界効果トランジスタのチャネル部と、前記第2及び第3電界効果トランジスタのチャネル部との電気的分離を確実に行うことができる。

【0027】また、前記誘電体キャパシタの電圧を制御する第1制御線と、前記第2及び第3電界効果トランジスタのゲート電圧を制御する第2制御線と、前記第2電界効果トランジスタの他方のソース・ドレイン部の電圧を制御する第3制御線と、前記第3電界効果トランジスタの他方のソース・ドレイン部の電圧を制御する第4制御線とを具備することが望ましい。これにより、メモリセル毎の電圧制御が可能となる。

【0028】また、この場合、前記第1及び第2制御線に、前記メモリセルが複数接続され、前記第3及び第4制御線は、各メモリセル毎に独立して設けられていることが望ましい。これにより、メモリセル毎に電圧制御が可能となる。

【0029】更にこの場合、前記半導体層は絶縁層上に複数設けられ、この半導体層毎に前記各メモリセルが設けられていることが望ましい。これにより、メモリセルをアレイ状に配列した誘電体メモリ装置が実現できる。

【0030】また、前記第1制御線が0Vである間、前記第2及び第3電界効果トランジスタがOFF状態に保持されるよう構成することが望ましい。これにより、誘電体メモリ素子において、誘電体キャパシタ側の電位と第1電界効果トランジスタのキャパシタ部の電位とが等

しく0Vとなって、両キャパシタが見かけ上並列接続されるようなことがない。

【0031】

【発明の実施の形態】（第1実施形態）以下、本発明を具体化した第1実施形態を図面に従って説明する。

【0032】図1は本第1実施形態における強誘電体メモリ装置の構造を示す模式的断面図である。

【0033】図1において、基板1には、SOI（Silicon On Insulator）基板が用いられている。すなわち、単結晶シリコン基板1aの上に絶縁層としてのシリコン酸化膜1bを形成した絶縁基板の表面上に、ストロンチウム型半導体シリコン薄膜1cが堆積形成されている。言い換えれば、各p型半結晶シリコン薄膜1cは、シリコン酸化膜1bの一部で電気的に分離されている。尚、p型半結晶シリコン薄膜1cが本発明における「半導体層」に相当する。

【0034】各半結晶シリコン薄膜1cには、n⁺層からなる4つのソース・ドレイン領域2～5がストライプ状に形成されている。各ソース・ドレイン領域2～5の深さは、半結晶シリコン薄膜1cの厚みと等しい。従って、半結晶シリコン薄膜1cは、各ソース・ドレイン領域2～5の中央の2つのソース・ドレイン領域3、4によって、3つのp型領域6～8が方向に完全に分離された構造をとる。尚、ソース・ドレイン領域2～5が本発明における「ソース・ドレイン部」に、p型領域6～8が本発明における「チャネル部」にそれぞれ相当する。

【0035】半結晶シリコン薄膜1cの上には、強誘電体メモリ素子9が形成されている。この強誘電体メモリ素子9は、チャネル領域としてのp型領域7、その両側のソース・ドレイン領域3、4及びゲート電極10からなる第1MOSFET11と、この第1MOSFET11のゲート電極10上に設けられた強誘電体キャパシタ9aとからなる。尚、第1MOSFET11が本発明における「第1電界効果トランジスタ」に、強誘電体キャパシタ9aが本発明における「誘電体キャパシタ」にそれぞれ相当する。

【0036】強誘電体メモリ素子9の両側には、チャネル領域としてのp型領域6、その両側のソース・ドレイン領域2、3及びゲート電極12からなる第2MOSFET13と、チャネル領域としてのp型領域8、その両側のソース・ドレイン領域4、5及びゲート電極14からなる第3MOSFET15とが形成されている。尚、第2MOSFET13が本発明における「第2電界効果トランジスタ」に、第3MOSFET15が本発明における「第3電界効果トランジスタ」にそれぞれ相当する。

【0037】強誘電体メモリ素子9とその両側に位置する第2及び第3MOSFET13、15とは、上述した通り、一方のソース・ドレイン領域3（4）を共有して

いる。すなわち、第2MOSFET13と強誘電体メモリ素子9と第3MOSFET15とが直列に接続した構成をとり、これにより単位としての強誘電体メモリセル16が構成されている。この強誘電体メモリセル16は、各単結晶シリコン薄膜層1c毎にそれぞれ複数設けられている。

【0038】図2は強誘電体メモリ素子9の構造を示す模式的断面図である。

【0039】p型単結晶シリコン薄膜層1cのチャネル領域としてのp型領域7の上にシリコン酸化膜からなるゲート絶縁膜17が形成されている。ゲート絶縁膜17上には、ドープドポリシリコンからなる第1の下部電極(ゲート電極)10が形成されている。第1の下部電極10及びゲート絶縁膜17を覆うように、p型単結晶シリコン薄膜層1c上に、NSG (Non-doped Silicate Glass) とその上のBPSG (Boro-phospho Silicate Glass) との積層構造からなる層間絶縁膜18が形成されている。

【0040】第1の下部電極10上の層間絶縁膜18にはコンタクト孔19が形成されている。コンタクト孔19内には、ドープドポリシリコンからなる接続層(プラグ)20が所定の深さまで形成されている。コンタクト孔19内の接続層20上には、1r (イリジウム) からなる第2の下部電極21が形成されている。

【0041】第2の下部電極21の上面に接続するよう層間絶縁膜18上に、ペロブスカイト型強誘電体薄膜を有するSrBiTaO₉からなる強誘電体薄膜22が形成されている。強誘電体薄膜22上には、Pt等からなる第3の下部電極23が形成されている。強誘電体薄膜22及び第3の下部電極23の周囲を覆うように、層間絶縁膜18上に絶縁膜24が形成されている。接続層20、第2の下部電極21、強誘電体薄膜22及び第3の下部電極23で強誘電体キャパシタ9aを構成する。

【0042】図3に、強誘電体メモリセル16を用いた強誘電体メモリ装置の全体構成を示す。

【0043】メモリアレイ30は、複数のメモリセル16(16a, 16b, 16c, 16d)がマトリクス状に配置されて構成されている(図3では説明の便宜上、4個のメモリセルのみを示している)。行(ロウ)方向に配列された各メモリセル16において、各強誘電体メモリ素子9の制御ゲート電極23は、共通のワード線WLp0~WLpnに接続され、第2及び第3MOSFET13, 15の各ゲート電極12, 14は、共通のワード線WLs0~WLsnに接続されている。尚、ワード線WLp0~WLpnが本発明における「第1制御線」に、ワード線WLs0~WLsnが本発明における「第2制御線」にそれぞれ相当する。

【0044】列(カラム)方向に配列された各メモリセル16において、第2MOSFET15の外側のソース・ドレイン領域2は、共通のビット線BLd0~BLdn

に接続され、第3MOSFET15の外側のソース・ドレイン領域3は、共通のビット線BLs0~BLsnに接続されている。尚、ビット線BLd0~BLdnが本発明における「第3制御線」に、ビット線BLs0~BLsnが本発明における「第4制御線」にそれぞれ相当する。

【0045】上述した通り、行方向に配列された各メモリセル16は、それぞれ異なる単結晶シリコン薄膜層1cに形成されているため、各単結晶シリコン薄膜層1c毎に独立したビット線による制御が行われる。

【0046】各ワード線WLp0~WLpn, WLs0~WLsnは、ロウデコード31に接続され、各ビット線BLd0~BLdn, BLs0~BLsnはカラムデコード32に接続されている。

【0047】外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン33に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン33からアドレスラッチ34へ転送される。アドレスラッチ34でラッチされた各アドレスのうち、ロウアドレスはアドレスバッファ35を介してロウデコード31へ転送され、カラムアドレスはアドレスバッファ36を介してカラムデコード32へ転送される。

【0048】ロウデコード31は、各ワード線WLp0~WLpn, WLs0~WLsnの内、アドレスラッチ34でラッチされたロウアドレスに対応した組のワード線(例えば、WLp0, WLs0)を選択し、各ワード線WLp0~WLpn, WLs0~WLsnの電位を後述する各動作モードに対応して制御する。

【0049】カラムデコード32は、各ビット線BLd0~BLdn, BLs0~BLsnの内、アドレスラッチ34でラッチされたカラムアドレスに対応した組のビット線(例えば、BLd0, BLs0)を選択し、各ビット線BLd0~BLdn, BLs0~BLsnの電位を後述する各動作モードに対応して制御する。

【0050】外部から指定されたデータは、データピン36に入力される。そのデータは、データピン36から入力バッファ37を介してカラムデコード32へ転送される。カラムデコード32は、各ビット線BLd0~BLdn, BLs0~BLsnの電位を、そのデータに対応して後述するように制御する。

【0051】任意のメモリセル16から読み出されたデータは、各ビット線BLd0~BLdn, BLs0~BLsnからカラムデコード32を介してセンスアンプ38へ転送される。センスアンプ38は電流センスアンプである。センスアンプ38で判断されたデータは、出力バッファ39からデータピン36を介して外部へ出力される。

【0052】尚、上記した各回路(31~39)の動作は、制御コア回路40によって制御される。

【0053】次に、強誘電体メモリ装置の各動作モード(書き込み動作、読み出し動作、消去動作)について、

以下に説明する。

【0054】(a) 書き込み動作
ワード線WLp0, WLs0とビット線BLd0, BLs0との交点に接続されたメモリセル16aにデータ「1」

【表1】

メモリセル16a	メモリセル16b	メモリセル16c	メモリセル16d
WLp0	Vp	Vp	Vp
WLs0	H	H	H
WLd0			LD
WLs0			LS
BLd0	L	L	L
BLs0	L	L	L
BLd0	Vp	Vp	Vp
BLs0	Vp	Vp	Vp

その結果、ゲート絶縁膜17におけるソース・ドレイン領域3, 4間のチャネル領域7との界面が負に帯電し、チャネル領域7に反転層が形成され、ワード線WLp0の電圧を0V (又は強誘電体薄膜22が分極反転することの無い十分に低い電圧) にした後、強誘電体メモリ素子9のFETはオンになり得る状態となる。

【0055】この時、メモリセル16aと同じワード線WLp0, WLs0に接続されている非選択のメモリセル16bは、接続されているビット線BLd0, BLs0aが、ワード線WLp0の電圧Vpとの電位差がほとんど生じない電圧(Vp)に設定されているため、非選択メモリセルに不要な電圧が印加されて動作を引き起こす、いわゆるデータディスタースの問題は発生しない。

【0060】また、メモリセル16aと同じビット線BLd0, BLs0に接続されている非選択のメモリセル16cと、メモリセル16aとビット線及びワード線を共に通じないメモリセル16dとは、接続されているワード線WLp0aが電圧Lpに、ワード線WLs0aが電圧Lsにそれぞれ設定されているため、ビット線の電圧に関係なく動作しない。

【0061】(b) 消去動作

ワード線WLp0, WLs0とビット線BLd0, BLs0との交点に接続されたメモリセル16aのデータを消去する場合(データ「0」を選択的に書き込む場合)について、表2を参照しながら説明する。

【0062】

【表2】

メモリセル16a	メモリセル16b	メモリセル16c	メモリセル16d
WLp0	LD	LD	LD
WLs0	H	H	H
WLd0			LD
WLs0			LS
BLd0	Vp	Vp	Vp
BLs0	Vp	Vp	Vp
BLd0	L	L	L
BLs0	L	L	L

選択されたワード線WLp0は電圧Lpに設定され、選択されたワード線WLs0は電圧Hに設定される。また、選択されないワード線WLp0nは電圧Lpに、ワード線WLs0nは電圧Lsにそれぞれ設定される。

【0063】これにより、選択されたメモリセル16aの強誘電体薄膜22において、制御ゲート電極23との

界面が正に帯電し、第2の下部電極21との界面が負に帯電する(強誘電体薄膜22が下向きに分極する)。この分極状態は、ビット線BLd0、BLs0の電圧をVpから0V(又は強誘電体薄膜22が分極反転することの無い十分に低い電圧)にした後も保持される。

【0064】このような分極により、第2の下部電極21の強誘電体薄膜22との界面が正に帯電し、第1の下部電極10のゲート絶縁膜17との界面が負に帯電する。その結果、ソース・ドレイン領域3、4間の分極領域(チャネル領域)7に反転層が形成されず、第1MOSFET11はオフ状態(オンになり得ない状態)となる。

【0065】この時、メモリセル16aと同じワード線WLp0、WLs0に接続されている非選択のメモリセル16bは、接続されているビット線BLd0、BLs0が、ワード線WLp0の電圧Lpとの電位差がほとんど

メモリセル16a	メモリセル16b	メモリセル16d
V _{LD}	V _{LD}	V _{LD}
V _{LS}	V _{LS}	V _{LS}
V _{LD}	V _{LS}	V _{LD}
V _{LS}	V _{LD}	V _{LS}
0.1	0.1	0.1
0	0	0
L	L	L
L	L	L

選択されたワード線WLp0は読み出し電圧V_{LD}(強誘電体メモリ素子9の分極状態を反転させない電圧)であって、且つ強誘電体メモリ素子9の第1MOSFET11のしきい値電圧よりも高い電圧(例1.0V、0.8V)に設定され、選択されないワード線WLs0は電圧Lpに設定される。また、選択されないワード線WLp0は電圧Lpに、ワード線WLs0は電圧Lsにそれぞれ設定される。

【0069】選択されたビット線BLd0、BLs0は、両者間に電位差が生じるように、例えばビット線BLd0には0.1Vが、ビット線BLs0には0Vが印加される。また、選択されないその他のビット線は、両者間に電位差が生じないように全て同一の電圧(例えば0V)に設定される。

【0070】上述した通り、読み出し状態にあるメモリセル1aの強誘電体メモリ素子9の第1MOSFET11はONになり得る状態であるため、ビット線BLd0、BLs0間に電位差が生ずることにより、ビット線BLd0、BLs0間に電流が流れる。また、消去状態にあるメモリセル16aの強誘電体メモリ素子9の第1MOSFET11はONになり得ない状態であるため、ビット線BLd0、BLs0間には電流が流れない。従って、このビット線BLd0、BLs0間の電流をセンシング38で判別することにより、データが「1」か「0」かを判別する。

【0071】この時、メモリセル16aと同じワード線WLp0、WLs0に接続されている非選択のメモリセル

生じない電圧(電圧L)に設定されているため、非選択メモリセルに不要な電圧が印加されて動作を引き起こす、いわゆるデータディスタースタップの問題は発生しない。【0066】また、メモリセル16aと同じビット線BLd0、BLs0に接続されている非選択のメモリセル16cと、メモリセル16aとビット線及びワード線を共にしないメモリセル16dとは、接続されているワード線WLp0が電圧Lpに、ワード線WLs0が電圧Lsにそれぞれ設定されているため、ビット線の電圧に關係なく動作しない。

【0067】(c)読み出し動作

ワード線WLp0、WLs0とビット線BLd0、BLs0との交点に接続されたメモリセル16aのデータを読み出す場合について、表3を参照しながら説明する。

【表3】

メモリセル16a	メモリセル16b	メモリセル16d
V _{LD}	V _{LD}	V _{LD}
V _{LS}	V _{LS}	V _{LS}
V _{LD}	V _{LS}	V _{LD}
V _{LS}	V _{LD}	V _{LS}
0.1	0.1	0.1
0	0	0
L	L	L
L	L	L

16bは、接続されているビット線BLd0、BLs0が、両者間に電位差が生じない同一の電圧L(例えば0V)に設定されているため、非選択メモリセルに不要な電圧が印加されて動作を引き起こす、いわゆるデータディスタースタップの問題は発生しない。

【0072】また、メモリセル16aと同じビット線BLd0、BLs0に接続されている非選択のメモリセル16cと、メモリセル16aとビット線及びワード線を共にしないメモリセル16dとは、接続されているワード線WLp0が電圧Lpに、ワード線WLs0が電圧Lsにそれぞれ設定されているため、ビット線の電圧に關係なく動作しない。

【0073】以上の実施形態においては以下の通りの作用効果を得る。

【0074】(イ)強誘電体メモリ素子9とビット線との間に、選択トランジスタとしての第2MOSFET13又は第3MOSFET15が必ず存在するため、強誘電体メモリ素子9の各ソース・ドレイン領域3、4への電圧印加を、第2MOSFET13又は第3MOSFET15で完全に制御できる。

【0075】(ロ)強誘電体メモリ素子9とビット線との間に、選択トランジスタとしての第2MOSFET13又は第3MOSFET15が必ず存在する。更には、単結晶シリコン薄膜1cは、絶縁層としてのシリコン酸化膜1b上に形成されていると共に、各ソース・ドレイン領域2～5の内の中央の2つのソース・ドレイン領域3、4によって、3つのp型領域6～8が横方向に完

全に分極されている。

【0076】従って、ビット線及び基板1aの電位が0Vに設定されたときであっても、第2MOSFET13又は第3MOSFET15がONしない限り、ビット線の電位(0V)は第1MOSFET11に伝わらない。【0077】すなわち、第2MOSFET13又は第3MOSFET15がOFF状態である限り、第1MOSFET11はフローティング状態にあるため、電源遮断時等、回路への電圧供給が行われなときや、書き込み時において、制御ゲート電極23に、強誘電体薄膜22を分極反転させるために十分な正電圧を印加し、再び制御ゲート電極23の電圧を0としたときなど、制御ゲート電極23の電位が0Vになっても、第1MOSFET11のゲート絶縁膜17によるキャパシタ部分と強誘電体キャパシタ12とが並列回路を構成しない。

【0078】従って、逆バイアスリテンションの問題が発生しない。

【0079】(ハ)制御ゲート電極23が接続されているワード線WLp0を0Vに設定するときには、第2MOSFET13又は第3MOSFET15がOFFするよウワード線WLs0の電圧を制御するため、上記(ロ)の効果を実際に享受できる。

【0080】(ニ)行方向に配列された各メモリセル16は、それぞれ異なる単結晶シリコン薄膜1cに形成され、各単結晶シリコン薄膜1c毎に独立したビット線による制御が行われるので、データディスタースタップの問題を回避できる。

【0081】尚、以上の実施形態においては、以下の通り変更しても良く、その場合であっても同等の作用・効果を得ることができ。

【0082】(1)制御ゲート電極23又は第2の下部電極21を以下の材料から構成する。

【0083】貴金属(Au、Ag、Ru、Rh、Pt、Os等)、高融点金属(Co、W、Ti等)、高融点金属化合物(TiN、Ta₂N、Ta₃N₂等)、導電性酸化物(RuO₂、RhO₂、OsO₂、IrO₂、ReO₂、ReO₃、MoO₃、WO₃、SrRuO₃、PbRuO₃、Bi₂RuO₇等)、あるいはこれらの材料の合金又は各材料の多層構造。

【0084】(2)強誘電体薄膜22として、以下の各材料からなる強誘電体を用いる。

【0085】(2-1)下記の一般式で示されるピスマ系層状強誘電体を用いる。

【0086】(Bi₂O₃)ⁿ(A_{n-1}B_nO_{3n-1})ⁿ。なお、AはSr、CaまたはBaであり、BはTi、Tl、Ta、Nb、WまたはVである。

【0087】n=1の場合：

Bi₂WO₆

Bi₂VO₅

n=2の場合：

Bi₂O₃/SrTa₂O₆
(SrBi₂Ta₂O₉)：SBT
Bi₂O₃/SrNb₂O₆
(SrBi₂Nb₂O₉)
n=3の場合：
Bi₂O₃/SrTa₂O₆/BaTiO₃
Bi₂O₃/SrTa₂O₆/SrTiO₃
Bi₂O₃/Bi₂Ti₃O₉
(Bi₄Ti₃O₁₂)：BIT
n=4の場合：
Bi₂O₃/Sr₃Ti₄O₁₂
(Sr₃Bi₂Ti₄O₁₅)
Bi₂O₃/Bi₂Ti₃O₉/SrTiO₃
(Sr₂Bi₄Ti₄O₁₅)
(2-2)下記の一般式で示される強誘電体(等方的材料系)を用いる。

【0088】Pb(Zr_{1-x}Ti_x)O₃：PZT(PbZr_{0.5}Ti_{0.5}O₃)
(Pb_{1-x}La_x)TiO₃：PLZT
(Sr_{1-x}Ca_x)TiO₃
(Sr_{1-x}Ba_x)TiO₃：(Sr_{0.4}Ba_{0.6})TiO₃
(Sr_{1-x}Ba_x)Ti_{1-y}Ni_yO₃

なお、MはLa、BiまたはSbであり、NはNb、V、Ta、MoまたはWである。

【0089】(3)強誘電体薄膜22をその材料に応じて以下の方法で形成する。

【0090】分子線エビタキシ法、レーザアブレーション法、レーザ分子線エビタキシ法、スパッタリング法(RF型、DC型またはイオンビーム型)、反応性蒸着法、MOCVD法(有機金属化学的気相成長法)、ミスト増殖法、ゾルゲル法。

【0091】(4)各層の導電型を逆にするようにp型チャネルを有する強誘電体メモリを実現させる。

【0092】(5)SOI基板ではなく、単結晶シリコン基板そのものを半導体層として用いる。

【0093】(6)シリコン基板1aに代えて、ガラス基板等の絶縁性基板を用いる。

【0094】(7)半導体層として、多結晶シリコン層や非晶シリコン層を用いる。

【0095】(8)強誘電体メモリ素子9として、MFMIS構造に代えて、MFS構造又はMFI S構造を用いる。

【0096】(9)強誘電体薄膜22に代えて、チタン酸ストロンチウム(SrTiO₃)やチタン酸ストロンチウムバリウム(Ba_{0.5}Sr_{0.5}TiO₃(0X<1))のような強誘電体薄膜を用いる。

【0097】

【発明の効果】本発明においては、データディスタースタップの問題及び逆バイアスリテンションの問題の少なくとも一方を確実に回避することのできる強誘電体メモリ装置を

提供することができる。

【図面の簡単な説明】

【図1】本発明を具体化した実施形態における強誘電体メモリセルの構造を示す模式的断面図である。

【図2】本実施形態における強誘電体メモリ素子の構造を示す模式的断面図である。

【図3】本実施形態における強誘電体メモリ装置のブロック回路図である。

【図4】従来例における強誘電体メモリ素子の構造を示す模式的断面図である。

【図5】従来例の問題点を説明するための図である。

【図6】従来例の問題点を説明するための図である。

【符号の説明】

1 SOI基板

1a 単結晶シリコン基板

1b シリコン酸化膜

1c p型単結晶シリコン層

2~5 ソース・ドレイン領域

6~8 p型領域

9 強誘電体メモリ素子

10 ゲート電極

11 第1MOSFET

12 強誘電体キャパシタ

13 第2MOSFET

15 第3MOSFET

16 強誘電体メモリセル

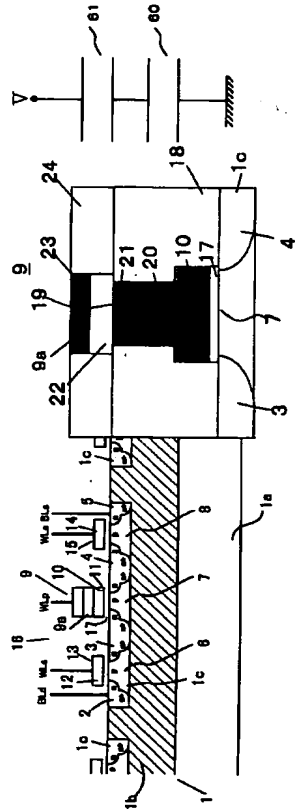
17 ゲート絶縁膜

22 強誘電体薄膜

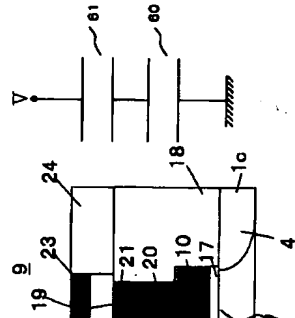
30 メモリセルアレイ

40 制御コア回路

【図1】



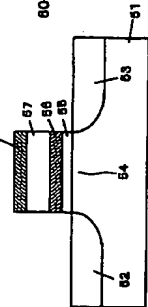
【図2】



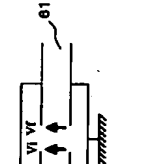
【図3】



【図4】



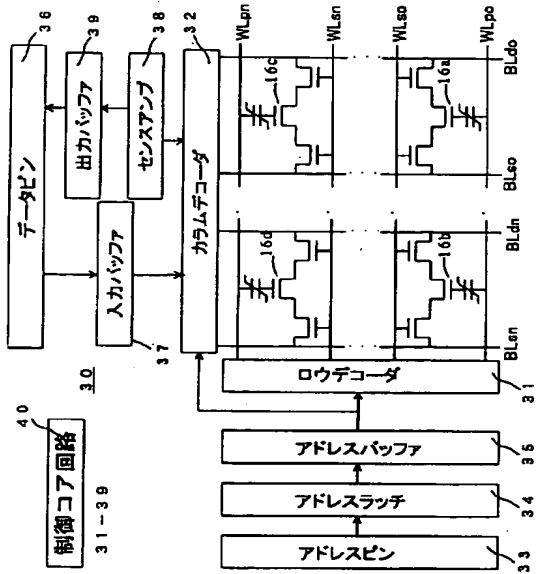
【図5】



【図6】



【図3】



フロントページの続き

(51) Int. Cl.
H01L 21/8247
29/788
29/792

識別記号

F I

特許庁 (参考)

(72) 発明者 武田 安弘
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム (参考) 5B024 AA03 BA02 BA03 CA07 CA21
5F001 AA01 AA04 AA06 AA17 AA63
AB04 AB09 AC07 AD12 AD41
AD70 AE02 AF06 AF07
5F083 EP04 EP33 EP34 EP56 ER21
ER30 FR06 FR07 CA15 CA30
HA02 JA13 JA17 JA38 KA05
KA11 LA12 LA20